

Universitatea Politehnica Bucuresti

Marius Zaharia

Sinteza la Nivel Înalt a Sistemelor Hardware  
High level synthesis of hardware systems  
(Algoritmi Utilizati în Sistemele HLS)  
(Algorithms for HLS systems)

TEMPUS JEP 2717-91/1

-1994-

## CUPRINS

### Capitolul 1

#### Sinteza de nivel înalt a sistemelor High level synthesis of hardware systems

- 1.1 Conceptul de sinteză de nivel înalt ..... 5  
The HLS concept
- 1.2 Factori ce influențează aplicațiile de sinteză  
de nivel înalt a sistemelor ..... 6  
Main factors which determine the HLS of hardware systems
- 1.3 Bazele de date folosite în sistemele de sinteză  
de nivel înalt ..... 8  
Data bases used in HLS systems
- 1.4 Structura unui sistem tipic pentru sinteza de  
nivel înalt ..... 10  
Typical structure of a HLS system

### Capitolul 2

#### Descrierea funcțională a unui sistem utilizând limbajul VHDL Functional description of a system using VHDL

- 2.1 Generalități ..... 14
- 2.2 Modelarea hardware-ului în VHDL ..... 15  
Hardware modelling in VHDL
- 2.3 Atomi lexicali VHDL ..... 17  
VHDL tokens
- 2.4 Obiecte și tipuri de date în VHDL Objects and data types in VHDL
  - 2.4.1 Tipuri predefinite sau definite de utilizator .. 18  
Predefined and user defined data types
  - 2.4.2 Obiecte VHDL ..... 20  
VHDL objects
  - 2.4.3 Tipuri de date compuse ..... 20  
Structured data types

2.5 Modul de specificare a interconexiunilor între subsisteme .....	22
<a href="#">Specifying subsystems interconnection</a>	
2.6 Descrierea VHDL a unei scheme simple .....	23
<a href="#">A simple scheme in VHDL</a>	
2.7 Constructii fundamentale VHDL	
<a href="#">VHDL language constructs</a>	
2.7.1 Declaratia de entitate .....	25
<a href="#">Entity declaration</a>	
2.7.2 Declaratia architecture .....	26
<a href="#">Architecture declaration</a>	
2.7.3 Declaratii de subprogram .....	27
2.7.4 Declaratia package .....	27
<a href="#">Package declaration</a>	
2.7.5 Biblioteci VHDL .....	29
<a href="#">VHDL libraries</a>	
2.8 Descrierea comportării unui sistem discret utilizând VHDL .....	30
<a href="#">Describing the behaviour of a discrete system using VHDL</a>	
2.9 Instructiuni de atribuire VHDL	
<a href="#">Assignments in VHDL</a>	
2.9.1 Expresii VHDL .....	31
<a href="#">VHDL expressions</a>	
2.9.2 Atribuirii secventiale .....	32
<a href="#">Sequential assignments</a>	
2.10 Specificarea fluxului de control în VHDL	
<a href="#">Control flow specification using VHDL</a>	
2.10.1 Instructiuni conditionale .....	34
<a href="#">Decision statements</a>	
2.10.2 Instructiuni repetitive .....	35
<a href="#">Loops</a>	
2.11 Definirea de asertiuni într-un program VHDL .....	37
<a href="#">Assertions in VHDL</a>	
2.12 Instructiuni de apel ( <b>CALL</b> ) de subprogram .....	38
2.13 Instructiuni concurente VHDL .....	39
<a href="#">Language constructs for concurrency specification</a>	
2.14 Specificarea semnalelor arbitrate .....	40
<a href="#">Signals with many sources</a>	
2.15 Descrierea structurală a sistemelor hardware .....	41
<a href="#">Structural description of hardware systems</a>	

2.15.1 Instructiunea block .....	43
<a href="#">Block statement</a>	
2.15.2 Descrierea structurilor regulate .....	43
<a href="#">Regular structures specification</a>	
2.16 Declaratia generic .....	44
<a href="#">Generic declaration</a>	
2.17 Specificarea de configuratii .....	45
2.18 Utilizarea bibliotecilor în VHDL .....	48
<a href="#">Libraries in VHDL</a>	
2.19 Domeniul de valabilitate a obiectelor în VHDL ....	48
<a href="#">Scope of VHDL objects</a>	
2.20 Partitionarea proiectelor în VHDL .....	50
<a href="#">Partitioning large VHDL projects</a>	
2.21 Folosirea în comun a datelor în VHDL .....	51
<a href="#">Shared data in VHDL</a>	
2.22 Declararea configurării unui proiect .....	52
<a href="#">Declaring a project configuration</a>	
2.23 Exemple de programe VHDL .....	54
<a href="#">VHDL programs examples</a>	

### Capitolul 3

Reprezentări bazate pe grafe ale sistemelor hardware ..	64
<a href="#">Graph based representations of hardware systems</a>	

### Capitolul 4

Algoritmi pentru planificarea operatiilor în sistemele de sinteză la nivel înalt	
<a href="#">Algorithms for operations scheduling in HLS systems</a>	

4.1 Algoritmi de planificare elementari .....	74
---	----

## Basic scheduling algorithms

- 4.2 Planificarea prin metoda căii critice ..... 75  
[Critical path scheduling](#)
- 4.3 Planificarea bazată pe calculul timpului de viață .. 75  
[Life time scheduling](#)
- 4.4 Planificarea orientată pe calcul de forte ..... 76  
[Force directed approach scheduling](#)
- 4.5 Îmbunătățiri aduse algoritmilor bazati pe calcul de forte ..... 81  
[Methods to improve the force directed scheduling algorithms](#)
- 4.6 Metode de planificare orientate pe liste ..... 83  
[List oriented scheduling](#)
- 4.7 Metode de planificare anticipative ..... 83  
[Predictive scheduling methods](#)
- 4.8 Metoda de planificare AFAP (As Fast As Possible) ... 86  
[AFAP scheduling method](#)
- 4.9 Planificarea văzută ca problemă de programare liniară discretă ..... 90  
[Usage of discrete linear programming methods to solve scheduling problems](#)
- 4.10 Algoritmi de planificare utilizați în sinteza funcțională a sistemelor asincrone ..... 92  
[Scheduling algorithms used for functional synthesis of asynchronous systems](#)
- 4.11 Planificarea structurilor de tip pipeline ..... 96  
[Pipeline structures scheduling](#)

## Capitolul 5

### Algoritmi pentru alocarea/assignarea hardware-ului în sistemele de sinteză de nivel înalt [Algorithms for hardware assignment in HLS systems](#)

- 5.1 Algoritmi bazati pe tehnica partitionării în clic-uri ..... 99

	Partitioning with cliques based methods	
5.2	Algoritmi bazati pe tehnica colorării grafelor ... 101 Algorithms based on graph coloring methods	
5.3	Modul de definire al grafelor pentru a fi utilizate în algoritmi de alocare ..... 103 Methods to define graphs, used in scheduling algorithms	
5.3.1	Construirea grafului de incompatibilități în cazul asignării unităților functionale .... 106 An algorithm to build the incompatibility graph for functional units assignment	
5.3.2	Asignarea magistralelor ..... 107 Bus assignment	
5.4	Algoritmi de alocare/asignare utilizati în sistemul de sinteză de nivel înalt HIS al firmei IBM ..... 107 Allocation algorithms used in IBM's HLS system	
5.5	Formularea problemei asignării modulelor ca problemă de programare liniară discretă ..... 112 The module assignment problem seen as a discrete linear programming problem	
5.6	Algoritmi euristici de tip simulated annealing ... 115 Simulated annealing heuristics	
5.6.1	Descrierea metodei ..... 115 Method description	
5.6.2	Aplicarea metodei în rezolvarea problemei alocării ..... 118 Solving the allocation problem by simulated annealing	
Anexa 1	Analiza fluxului de date ..... 122 Dataflow analysis	
Anexa 2	Închiderea tranzitivă a unei relatii ..... 123 The transitive closure of a relation	
Anexa 3	Program pentru colorarea nodurilor unui graf . 124 A program for graph coloring	
Anexa 4	Probleme NP-complete. Problema clique-urilor de mărime k într-un graf ..... 126 NP-complete problems. Case study the k-clique problem	
Anexa 5	Probleme asociate sintezei de nivel înalt Other problems related with HLS	
A5.1	Estimarea caracteristicilor unui circuit .... 128 Estimation of the characteristics of a circuit	

A5.2	Partitionarea sistemelor hardware .....	130
	Partitioning hardware systems	
	Bibliografie .....	140